

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-525932

(P2002-525932A)

(43) 公表日 平成14年8月13日 (2002.8.13)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 4 B 1/59		H 0 4 B 1/59	5 B 0 3 5
B 6 5 G 61/00	4 3 2	B 6 5 G 61/00	4 3 2 5 B 0 5 8
	5 2 6		5 2 6 5 K 0 1 2
G 0 6 K 17/00		G 0 6 K 17/00	F
19/07		H 0 4 B 5/02	

審査請求 未請求 予備審査請求 有 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2000-570983 (P2000-570983)
(86) (22) 出願日 平成11年9月10日 (1999.9.10)
(85) 翻訳文提出日 平成13年3月12日 (2001.3.12)
(86) 国際出願番号 PCT/US99/20799
(87) 国際公開番号 WO00/16570
(87) 国際公開日 平成12年3月23日 (2000.3.23)
(31) 優先権主張番号 60/100,016
(32) 優先日 平成10年9月11日 (1998.9.11)
(33) 優先権主張国 米国 (US)

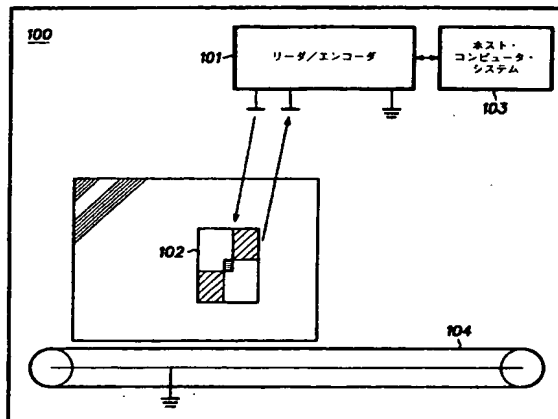
(71) 出願人 モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED
アメリカ合衆国イリノイ州シャンパーグ、
イースト・アルゴンクイン・ロード1303
(72) 発明者 ビクター・ベガ
アメリカ合衆国カリフォルニア州ハークル
ス、フェアサント・ドライブ2062
(74) 代理人 弁理士 大貫 進介 (外1名)
Fターム (参考) 5B035 BA03 BB09 CA01 CA11 CA23
5B058 CA15 CA23 KA04
5K012 AB04 AB12 AB18 AD00

最終頁に続く

(54) 【発明の名称】 コンタクトレス・プログラミング機能を有する静電無線周波識別システム

(57) 【要約】

コスト効率的であり、高い製造性を有し、多様な用途のために容易にパッケージングできるコンタクトレス静電プログラマブルRFID装置 (101, 102) が提供される。本発明では、励振信号の次に、データ・リーダ/エンコーダ (101) は、ライト・モードに入るべきかどうかをトランスポンダ (102) に通信するためのライト・モード・シーケンスを送信する。変調済みライト・モード・データ・シーケンスは、トランスポンダがデータをメモリに書き込む際に用いる命令、データおよびメモリ・アドレス情報をさらに与える。逆に、トランスポンダは、このようなライト・モード・データ・シーケンスの不在を、リード・モードが望ましいことを意味するものと解釈する。従って、リード・モードがデフォルト・モードとなる。



【特許請求の範囲】

【請求項1】 静電無線周波識別（RFID）リーダー／エンコーダであって

：

プロセッサ；

前記プロセッサに結合された励振器；および

前記励振器に結合された少なくとも一つの第1電極；

によって構成され、

前記励振器は、前記少なくとも一つの第1電極上でRF励振信号を静電的に生成・送信し、前記励振器は、データ・シーケンス信号およびクロック信号をさらに生成・送信し、前記データ・シーケンス信号は、前記プロセッサから受信したデータ・シーケンスを伝達し、前記データ・シーケンスは、ライト・モードを伴うかどうかを示し、前記データ・シーケンスは、交互のブランキング・ギャップとパルスとのシーケンスからなり、前記パルスはバイナリ値を表し、その期間はゼロ（0）またはワン（1）であるかを決定し、前記データ・シーケンスは、前記データ・シーケンスがブランキング・ギャップから開始する場合には、ライト動作を示すことを特徴とする静電RFIDリーダー／エンコーダ。

【請求項2】 請求項1記載の静電RFIDリーダー／エンコーダであって：

前記プロセッサに結合された受信機；

前記受信機に結合された少なくとも一つの第2電極であって、前記受信機は、前記少なくとも一つの第2電極から静電RFリード・データ信号を受信する、少なくとも一つの第2電極；および

前記受信機および前記プロセッサに結合された復調器であって、前記復調器は、前記静電RFリード・データ信号を受信し、前記復調器は、前記静電RFリード・データ信号を復調してから、前記プロセッサに送信する、復調器；

をさらに含んで構成されることを特徴とする請求項1記載の静電RFIDリーダー／エンコーダ。

【請求項3】 静電RFIDトランスポンダであって：

複数の静電電極；

前記複数の静電電極に結合されたアナログ・インタフェース・モジュールであ

って、前記アナログ・インタフェース・モジュールは、前記複数の静電電極によって受信されたRF信号から励振信号、クロック信号およびデータ・シーケンス信号を取り出し、前記アナログ・インタフェース・モジュールは、前記静電RFIDトランスポンダを起動する際に用いられる励振信号を整流・調整し、前記アナログ・インタフェース・モジュールは、ライト動作またはリード動作を伴うかどうかを判定する、アナログ・インタフェース・モジュール；

メモリ；

前記アナログ・インタフェース・モジュールおよび前記メモリに結合された変調器；および

前記アナログ・インタフェース・モジュールおよび前記メモリに結合されたコントローラであって、前記コントローラは、ライト・コマンドに応答して、前記データ・シーケンス信号からのデータ情報を前記メモリに書き込み、前記コントローラは、リード・コマンドに応答して、前記メモリからデータ情報を読み出して、前記データ情報を前記変調器に送り、前記変調器は前記データ情報を変調し、前記変調器は、変調済みデータ信号を前記複数の静電電極上で送信するために前記アナログ・インタフェース・モジュールに送る、コントローラ；

によって構成されることを特徴とする静電RFIDトランスポンダ。

【請求項4】 前記メモリは、Lビットの複数のメモリ・ブロックに整理され、コンフィギュレーション（モード）情報を格納するためにメモリ・ブロックが用いられ、データ情報およびメモリ・ブロック・ロッキング情報を格納するために他のメモリ・ブロックが用いられることを特徴とする請求項3記載の静電RFIDトランスポンダ。

【請求項5】 前記メモリ・ブロック内の前記コンフィギュレーション（モード）情報は、メモリ・ブロック・ロッキング情報からなることを特徴とする請求項4記載の静電RFIDトランスポンダ。

【請求項6】 前記メモリ・ブロック内の前記コンフィギュレーション（モード）情報は、データ・レート情報からなることを特徴とする請求項4記載の静電RFIDトランスポンダ。

【請求項7】 前記メモリ・ブロック内の前記コンフィギュレーション（モ

ード)情報は、変調タイプ情報からなることを特徴とする請求項4記載の静電RFIDトランスポンダ。

【請求項8】 前記メモリ・ブロック内の前記コンフィギュレーション(モード)情報は、変調オン/オフ情報からなることを特徴とする請求項4記載の静電RFIDトランスポンダ。

【請求項9】 前記メモリ・ブロック内の前記コンフィギュレーション(モード)情報は、最大ブロック情報からなることを特徴とする請求項4記載の静電RFIDトランスポンダ。

【請求項10】 前記メモリ・ブロック内の前記コンフィギュレーション(モード)情報は、変調閾値情報からなることを特徴とする請求項4記載の静電RFIDトランスポンダ。

【請求項11】 静電RFIDシステムにおいて静電RFIDトランスポンダをプログラミングする方法であって：

前記静電RFIDトランスポンダを起動するために、RF励振信号を静電的に送信する段階；および

前記RF励振信号に続いて、プロセッサから受信したデータ・シーケンスを伝達するRF信号を静電的に送信する段階であって、前記データ・シーケンスは、ライト・モードを伴うかどうかを示し、前記データ・シーケンスは、交互のブランキング・ギャップとパルスとのシーケンスからなり、前記パルスはバイナリ値を表し、その期間はゼロ(0)またはワン(1)であるかを決定し、前記データ・シーケンスは、前記データ・シーケンスがブランキング・ギャップから開始する場合には、ライト動作を示す、段階；

によって構成されることを特徴とする方法。

【請求項12】 前記データ・シーケンスは、ライト動作に関連する命令、データおよびアドレス情報をさらに含んで構成されることを特徴とする請求項11記載の方法。

【請求項13】 前記データ・シーケンスは、前記RF励振信号から所定の時間後に送信されることを特徴とする請求項12記載の方法。

【請求項14】 前記データ・シーケンス内のXデータ・パケットは組み合

わさって、ライト・モード・オペレーション・コードを表すことを特徴とする請求項13記載の方法。

【請求項15】 Xは値2を有することを特徴とする請求項14記載の方法

。

【請求項16】 4つの認識されるライト・モード・オペレーション・コード、「00」、「01」、「10」および「11」があることを特徴とする請求項15記載の方法。

【発明の詳細な説明】

(産業上の利用分野)

本発明は、一般に、無線周波識別(RFID: Radio Frequency Identification)技術に関し、さらに詳しくは、コンタクトレス・プログラマブル静電RFID技術に関する。

【0001】

(関連出願の相互参照)

本出願は、Motorola, Inc. に譲渡された弁理士文書番号IND00701P01である、1998年4月16日に出願された米国特許出願第09/061, 146号の一部継続出願である。

【0002】

(従来技術)

無線周波識別(RFID)技術は、識別データを遠隔送信でき、これは人物、物品、小包などを識別する上で著しく有利である。一般に、RFIDトランスポンダ(例えば、RFID「タグ」)に格納された識別データを遠隔アクセスするため、RFIDリーダ/エンコーダはエネルギー場(energy field)を生成して、RFIDトランスポンダを起動して、それからトランスポンダ・ユニットに格納されたデータを離れた場所から取り出す。取り出されたデータは、ホスト・コンピュータ・システムによって処理され、このトランスポンダに関連する人物または物品を識別する。エネルギー場から自らの電力を引き出すトランスポンダは、受動型(passive)トランスポンダといい、一方、自らの電力源を有するトランスポンダは能動型(active)トランスポンダという。RFID技術は、追跡、アクセス制御、盗難防止、セキュリティなどを含む多様な用途に利用されてきた。

【0003】

ある用途では、RFID技術は、上記の分野の一部で利用されている磁気ストリップ(magnetic strip)技術よりも好ましい。一般に、通常採用される磁気ストリップ技術は極めて限られたメモリ容量しかないので、RFID技術は磁気ストリップ技術よりも大量の情報を格納することが可能である。さらに、磁気ストリップ技術は比較的高い保守(例えば、ヘッド・クリーニング)を必要とする。そ

のうえ、磁気ストリップ技術は湿気、埃、磁場などによる破損が生じやすい。

【0004】

R F I D技術は、通常の無線波、より正確には、遠距離場(far field)電磁波(E M : electromagnetic wave)を利用する無線 I D (Radio ID)技術とは区別すべきである。遠距離場とは、トランシーバとトランスポンダとの間の距離が、用いられる E M 搬送信号の波長に比べて大きいことを意味する。無線 I D 技術の一例は、軍用飛行機で採用される I F F (Identify Friend or Foe)システムである。遠距離場 E M 波は、距離に反比例する電磁界強度(field strength)を有する。

【0005】

一方、従来の R F I D 技術は、磁界波を利用する誘導結合に基づく。従来の R F I D 技術は近距離場で動作し、ここで動作距離は E M 場の 1 波長よりもはるかに小さい。遠距離場無線波とは異なり、近距離場における磁界強度は源からの距離の逆立方(inverse cube)にほぼ比例する。誘導方式の R F I D 技術では、電磁場はトランスポンダの電源として、またリーダ/エンコーダとトランスポンダとの間でデータおよびクロック情報を転送するために利用できる。磁界は、一般に複数の巻数を有するコイルに R F 交流を流すことによって生成される。しかし、これらのコイルを集積回路に統合することは困難である。一般に、これらのコイルは巻線(wire windings)または蝕刻金属(etched metal)である必要がある。この条件は、誘導方式の R F I D 技術のコスト、製造性およびパッケージング柔軟性に悪影響を及ぼす。膨大なコストおよび高い製造難度のため、電磁 R F I D 技術は大量/低コストの使い捨て用途では実用的でない。さらに、電磁 R F I D 技術では一般的な高張るパッケージングは、厚さが一次的な重要性とならない用途にその利用を限定する。

【0006】

従来の電磁 R F I D 技術は、所望の情報をトランスポンダにコンタクトレス・プログラミングする機能を提供する。このようなプログラミング機能は、製造業者がプログラミングされていない R F I D タグを特定用途向けの製品パッケージに導入でき、これを卸売業者、小売業者、エンド・ユーザなどのチェーン内の他者によってその後の都合のよい時にプログラミングできるので、望ましい。また

コンタクトレス・プログラミング機能(contactless programmability)は、最小限の機器および設定でどこでもプログラミングができるので、望ましい。

【0007】

従って、コンタクトレス・プログラミングが可能で、コスト効率的で、高い製造性を有し、多様な用途のために容易にパッケージングでき、しかも動作的に堅牢なRFIDシステムが必要とされる。

【0008】

(発明の概要)

よって、本発明は、コスト効率的で、高い製造性を有し、多様な用途のために容易にパッケージングでき、しかも動作的に堅牢なコンタクトレス・プログラマブルRFID装置、システムおよび方法を提供する。

【0009】

本発明は、静電RFIDリーダ／エンコーダ回路と複数の静電RFIDトランスポンダ回路との間で双方向データ転送が可能な静電無線周波識別(RFID)システムによって上記の必要性を満たす。

【0010】

RFIDリーダ／エンコーダ回路は、プロセッサと、前記プロセッサに結合された励振回路(exciter circuit)と、前記励振回路に結合された第1複数の電極とによって構成される。励振回路は、第1複数の電極上でRF励振信号を静電的に生成・送信する。さらに、励振回路は、プロセッサから受信したデータ・シーケンスを伝達するRF信号を生成・送信する。このデータ・シーケンスは、ライト・モード(write mode)を伴うかどうかを示す情報、ならびに所望の動作(例えば、ライト動作またはリード動作)に関する命令、データおよびアドレス情報を伝達する。また、データ・シーケンスは、ロック・ビット(lock bit)を含んでもよい。本発明に従って、データ・シーケンスは送信変調(transmitted modulation)であり、ブランキング・ギャップとパルスとのシーケンスからなる。パルスはバイナリ値を表し、その期間はそれがゼロ(0)またはワン(1)であるかどうかを決定する。本発明では、データ・シーケンスは、ブランキング・ギャップから開始する場合には、ライト動作を示す。

【0011】

複数のRFIDトランスポンダ回路のそれぞれは、複数の静電電極と、前記静電電極に結合されたアナログ・インタフェース・モジュールと、メモリと、前記アナログ・インタフェース・モジュールおよびメモリに結合されたコントローラと、前記コントローラ、メモリおよびアナログ・インタフェース・モジュールに結合された変調器と、前記コントローラおよびアナログ・インタフェース・モジュールに結合されたライト・デコーダとによって構成される。アナログ・インタフェース・モジュールは、複数の静電電極によって受信されたRF信号から、励振信号、クロック信号およびデータ・シーケンス信号を取り出すために用いられる。アナログ・インタフェース・モジュールは、トランスポンダ回路を起動する際に用いられる励振信号を整流・調整(rectify and regulate)する。アナログ・インタフェース・モジュールは、リード・コマンドまたはライト・コマンドを伴うかを検出する。コントローラは、ライト・コマンドに応答して、データ・シーケンス信号からのデータ情報をメモリに書き込む。コントローラは、リード・コマンドに応答して、メモリからデータ情報を読み出し、読み出したデータ情報を変調のために変調器に送る。変調済みデータは、複数の静電電極上で送信するためにアナログ・インタフェース・モジュールに送られる。

【0012】

本発明の全ての特徴および利点は、添付の図面とともに、以下の好適な実施例の詳細な説明から明らかになる。

【0013】

(好適な実施例の説明)

本発明の以下の詳細な説明では、本発明の徹底した理解を図るために、多数の具体的な詳細を説明する。ただし、本発明はこれらの具体的な詳細なしでも実施できることは当業者に明白であろう。他の場合では、周知の方法、手順、構成要素および回路は、本発明の態様を不必要にわかりにくくしないように、説明されていない。本発明の以下の詳細な説明は能動型トランスポンダ（すなわち、自己の電源がない）への適用について説明するが、本発明は能動型トランスポンダ（すなわち、自己の電源がある）にも適用可能であることが理解される。さらに、

本発明の以下の詳細な説明はモノポール(monopole)システムに関するが、本発明はダイポール(dipole)システムにも適用できることが理解される。

【0014】

本発明において実施される無線周波識別(RFID)技術は、キャパシタンスに基づく。キャパシタンス方式のRFID技術では、静電RFIDトランスポンダ(例えば、「タグ」)を起動し、また静電RFIDリーダ/エンコーダと静電RFIDトランスポンダとの間で情報を送信する際に用いるために静電場(electrostatic field)が生成される。すなわち、静電場とは、電圧差を有する2つの電極間で生成されるエネルギー(電気)場のことである。静電信号を送受信するために電極(すなわち、プレート)が(コイルの代わりに)用いられるので、キャパシタンス方式のRFID技術は集積回路でも実装できる。静電RFIDシステムの電極および関連電気回路は、紙、プラスチックまたは合成基板(synthetic substrates)を含む平坦で印刷可能な表面上で容易に実装できる。さらに、関与する製造プロセスは安価で、最小限の構成要素および設定しか必要としない。そのため、静電RFID技術は使い捨て用途で理想的である。さらに、本発明に従って、コンタクトレス静電プログラミング機能が提供される。

【0015】

図1は、例えば、本発明による静電RFIDシステムのシステム・レベル・ブロック図を示す。本発明に従って、静電RFIDシステム100は、リーダ/エンコーダとトランスポンダとの間でコンタクトレス双方向信号転送を可能にする。さらに具体的には、静電RFIDシステム100は、小包/手紙追跡システム(parcel/letter tracking system)であり、ここでコンベヤ・ベルト上に置かれたパッケージまたは手紙は自動的に追跡され、送り手の名前および住所、受け手の名前および住所、発送日付、チェックイン局、タイムスタンプなどを含む識別情報を判定する。なお、静電RFIDシステム100は一例に過ぎず、本発明は、在庫管理システム、識別アクセス・システム、入場切符発行システム(admission ticketing system)などを含む、多数の異なる静電RFIDシステムにおいて実施できることを理解されたい。

【0016】

図1に示すように、静電RFIDシステム100は、静電RFIDリーダ／エンコーダ101、静電RFIDトランスポンダ102、ホスト・コンピュータ・システム103およびコンベヤ104を含む。静電RFIDトランスポンダ102は、手紙およびパッケージに貼付された出荷ラベル(shipping label)の一部として実装される複数の静電RFIDトランスポンダのうちの一つでもよい。本発明に従って、各静電RFIDトランスポンダ102は、貼付されるラベルが生成される現場にて、所望の情報を格納するようにプログラムできる。言い換えると、静電RFIDリーダ／エンコーダ101は、静電RFIDトランスポンダ102に対して、あるいは静電RFIDトランスポンダ102から双方向データ転送を行うことができ、またその逆も可能である。好適な実施例では、このようなプログラミングは、静電RFIDリーダ／エンコーダ101、もしくは機能的に実質的に同様なプログラミング・ユニットを利用して実行できる。コンベヤ104は、コンベヤに載せられた手紙およびパッケージが静電RFIDリーダ／エンコーダ101および静電RFIDトランスポンダ102の送信範囲内となるように設定される。コンベヤ104に載せられた手紙およびパッケージは、情報を読み取るのに十分な時間を許す速度で移動する。

【0017】

一般に、静電RFIDリーダ／エンコーダ101は、静電RFIDトランスポンダ102のための電源／クロック源としての、また静電RFIDリーダ／エンコーダ101と静電RFIDトランスポンダ102との間で情報を転送するための静電（電気）場を生成する。そのため、静電RFIDリーダ／エンコーダ101は、リーダ／エンコーダ電極を介して周囲のエリアに向けてRF電力信号を静電的に生成・送信する。RF電力信号は、RFIDトランスポンダ102が貼付されたパッケージがリーダ／エンコーダ101の送信範囲内に来ると、静電RFIDトランスポンダ102を起動する。十分に付勢されると、静電RFIDトランスポンダ102は、そのメモリに格納された情報を伝達するRFリード・データ信号を静電RFIDリーダ／エンコーダ101に（リード動作の一部として）静電送信することによって、応答する。また、本発明に従って、静電RFIDリーダ／エンコーダ101は、（ライト動作の一部として）情報を静電RFID

トランスポンダ102に通信・書き込むためのRFライト信号を静電送信する。
あるいは、このようなプログラミングは、個別のプログラミング・ユニットによって実行できる。なお、静電RFIDリーダ／エンコーダ101によって送信されるRF電力信号は、リードおよび／またはライト動作中に静電RFIDトランスポンダ102に給電することを理解されたい。

【0018】

静電RFIDリーダ／エンコーダ101によって受信されたRFリード信号は、濾波・増幅・復調される。RFリード信号によって伝達されるデータは、ホスト・コンピュータ・システム103に転送される前に、必要に応じて取り出され、フォーマットされる。フォーマット済みデータを受信すると、ホスト・コンピュータ・システム103はこのデータを利用して、データベースを更新する。この例では、ホスト・コンピュータ・システム103は、パッケージの最新状態を反映するように、データベース内の情報を更新する。また、ホスト・コンピュータ・システム103は、別の用途において必要に応じて受信した情報をさらに処理できる。例えば、アクセスID用途では、ホスト・コンピュータ・システム103は受信した情報を、データベースに格納済みの情報と比較して、個人に対してアクセスを認可あるいは拒否すべきかを判断する。

【0019】

図2は、静電RFIDリーダ／エンコーダ101の構成要素をさらに詳しく示す。図2に示すように、静電RFIDリーダ／エンコーダ101は、励振器(exciter)201、受信機202、復調器203、プロセッサ204、励振器電極205および受信機電極206によって構成される。励振器電極205は、励振器201に結合される。ダイポール構成では、第1励振器電極と第2励振器電極とがある。図2に示すモノポール構成では、第2励振器電極は接地される。同様に、受信機電極206は受信機202に結合される。ダイポール構成では、第1受信機電極と第2受信機電極とがある。図2に示すモノポール構成では、第2受信機電極は接地される。リード動作では、励振器201は静電RFIDトランスポンダ102を起動するためのRF励振信号を（励振器電極205を介して）生成する。基本的に、RF励振信号は、静電エネルギーの形式で動作電力をトランスポ

ンダ102に供給する。さらに、RF励振信号の搬送周波数は、トランスポンダ102のクロック情報を与える。好適な実施例では、RF励振信号は、125kHzの搬送周波数を有する。励振信号は、励振器電極205を介して静電RFIDトランスポンダ102に送信される。さらに、励振器201は、励振信号の直後に続く、リード動作に関連する命令、データおよびアドレス情報を含むリード・モード・データ・シーケンスを伝達するRF信号をさらに生成・送信する。これにตอบสนองして、トランスポンダ102は、そのメモリに格納されたデータを返送する。

【0020】

静電RFリード・データ信号を受信機電極206を介して静電トランスポンダ102から受信すると、受信機202はまず不要な周波数バンドをフィルタ除去する。また、受信機202はRFリード・データ信号を増幅する。次に、受信機202は静電RFリード・データ信号を復調器203に与え、復調器203は所定の復調方式に従ってリード・データ信号を復調して、RFリード・データを取り出す。好適な実施例では、RFリード・データ信号はPSK (Phase Shift Keying)変調方式によって変調される。なお、ASK (Amplitude Shift Keying)変調、FSK (Frequency Shift Keying)変調など他の変調方式も、RFリード・データ信号を変調するのに利用できることを留意されたい。次に、静電RFリード・データ信号はプロセッサ204に送られ、プロセッサ204はホスト・コンピュータ103の必要に応じてデータをフォーマットする。フォーマット済みリード・データは、処理のためホスト・コンピュータ103に送られる。

【0021】

逆に、ライト動作では、ホスト・コンピュータ103からのフォーマット済みデータはプロセッサ204に与えられ、プロセッサ204は全てのフォーマット・インギング情報をライト・データから除去する。次に、「素の(bare)」ライト・データは励振器201に与えられ、励振器201はこれをさらに増幅してから、励振器電極205を介してトランスポンダ102に送信する。このような送信では、コマンドおよび制御命令（例えば、オペレーション・コード、ロック・ビットなど）、データならびにメモリ・アドレス情報は、ライト・モード・データ・シー

ケンスに符号化され、これによりトランスポンダ102は、リーダー/エンコーダ101によってライト動作またはリード動作が求められているのかを区別する。その結果、ライト・モード・データ・シーケンスは、ライト動作に関連するコンフィギュレーション、命令、データおよびアドレス情報を含む。すなわち、励振器201は、RF励振信号の生成・送信に続く所定の時間にて、ライト・モード・データ・シーケンスを伝達するRF信号を生成・送信する。以下で説明するように、この所定の時間は、メモリ310からモード・レジスタ308内にコンフィギュレーション（モード）データをロードするのに必要な時間である。

【0022】

前述のように、ライト・モード・データ・シーケンスから区別されるリード・モード・データ・シーケンスも同様に生成できる。好適な実施例では、ライト・モード・データ・シーケンスは、交互のブランキング・ギャップとパルスとのシーケンスからなる。ライト・モード・データ・シーケンスは、ブランキング・ギャップ（開始ギャップ）から開始する。従って、データ・シーケンスは、ブランキング・ギャップから開始すると、ライト動作を示す。パルスはバイナリ値を表し、パルスの期間は、これがバイナリ・ゼロ（0）またはワン（1）であるかを決定する。逆に、リード・モード・データ・シーケンスは、緩衝パルス(dampened pulse)および非緩衝パルス(non-dampened pulse)のシーケンスである。

【0023】

ここで、トランスポンダ102の構成要素をさらに詳しく示す図3を参照する。図3に示すように、トランスポンダ102は、アナログ・インタフェース・モジュール301、パワー・オン・リセット（POR）回路302、ビットレート発生器303、ライト・デコーダ304、任意のチャージ・ポンプ305、入力レジスタ306、コントローラ307、モード・レジスタ308、変調器309、メモリ310、パッド/端子312、313および静電トランスポンダ電極314、316によって構成される。静電トランスポンダ電極314、316は、それぞれパッド312、313に接続される。従って、パッド312、313は、トランスポンダ102をトランスポンダ電極314、316を介してRF励振源に結合するために用いられる。さらに、リーダー/エンコーダ101からのRF

励振信号は、クロック信号として利用できる搬送信号を有するので、トランスポンダ電極314、316は、クロック発振器を必要とせずに、同期目的のためにクロック情報をトランスポンダ102に送信することを可能にする結合を提供する。そのため、パッド312、313はクロック・パッドともいう。さらに、パッド312、313は、リード・データをトランスポンダ102からリーダー/エンコーダ101に送信することを可能にする、トランスポンダ電極314、316への接続を提供する。最適な静電性能のためには、パッド312、313間の入力キャパシタンスは最小限に抑えられる。好適な実施例では、入力キャパシタンスは5 pFまたはそれ以下に抑えられる。内部バイパス・キャパシタンスは、電力保留(power reserve)のためと、電圧リプル(voltage ripple)をフィルタ除去するために与えられる。パッド312、313は、好ましくは、シリコンの各遠端部に配置される。

【0024】

アナログ・インタフェース・モジュール301はパッド312、313に結合され、複数の静電トランスポンダ電極によって受信されたRF信号からRF励振信号、クロック信号およびデータ・シーケンス信号を抽出するために用いられる。前述のように、ライト・モード・データ・シーケンスなどのデータ・シーケンスは、機能情報を伝達する。図4は、アナログ・インタフェース・モジュール301のブロック図を示す。図4に示すように、アナログ・インタフェース・モジュール301は、全波整流回路(full-wave rectifier circuit)401、レギュレータ回路402、クロック抽出回路403、ギャップ検出回路405およびESD保護回路406からなる。ESD保護回路406は、トランスポンダ102に対する静電放電(ESD: Electrostatic Discharge)保護を行うべく設計される。従って、パッド312、313上の任意の信号はESD保護回路406によって支配される。パッド312、313から受信されたRF信号は、ESD保護回路406から全波整流回路401に送られ、全波整流回路401は、パッド312、313によって供給された入力交流(AC)電圧信号を直流(DC)電圧に変換する。DC電圧はレギュレータ回路402に与えられ、レギュレータ回路402は、DC電圧の電圧レベルが所望の範囲内に留まることを保証する。調

整済み電圧 V_{dd} および V_{ss} は、静電トランスポンダ102に給電するために用いられる。クロック抽出回路403は、RF励振信号からクロック信号を抽出する。この抽出されたクロック信号は、トランスポンダ102全体に供給される。好適な実施例では、クロック抽出回路403は、励振搬送周波数の半分（すなわち、62.5kHz）である搬送周波数を有する第2のクロック信号を生成するためのクロック分周回路を有する。この第2クロック信号は最終的に（コントローラ307を介して）変調器309に与えられ、トランスポンダ102からリーダー/エンコーダ101にデータを送信する際の搬送信号として用いられる。

【0025】

ギャップ検出回路405は、ライト・モード中にリーダー/エンコーダ101からトランスポンダ102に受信されたライト・データ・シーケンスに開始ギャップまたはフィールド・ギャップがあるかどうかを検出するために用いられる。このようなギャップは、ライト・モードを伴う可能性を示唆する。開始ギャップが検出されると、ギャップ検出回路405はライト・データ・シーケンスをライト・デコーダ304に送る。それ以外では、ギャップ検出回路405は、リード・モードを伴うことをコントローラ307に通知する。実質的には、アナログ・インタフェース・モジュール301のギャップ検出回路405は、ライト動作またはリード動作を伴うかどうかを判定する。変調回路309は、リード・モード中にトランスポンダ102からリーダー/エンコーダ101にリード・データ信号を送信するためのロード変調緩衝(load modulation dampening)を行うために用いられる。図5は、ロード変調緩衝を行うために用いられる変調器309内にある関連構成要素を示す。図5に示すように、ロード変調回路は、インバータ501、抵抗器502およびN型MOSFETトランジスタ503によって構成される。インバータ501は、メモリ301からの第2クロック信号およびデータを入力として受信して、変調回路を駆動する。N型MOSFETトランジスタ503のゲートはインバータ501の出力に接続され、N型MOSFETトランジスタ503のソースはトランスポンダ電極316に接続され、ドレインは抵抗器502に接続され、抵抗器502はトランスポンダ電極314に接続される。そのため、トランジスタ503は、トランスポンダ電極314、316両端の差電圧を

緩衝するために用いられる。言い換えると、2電極両端のインピーダンスは変えられ、それにより差電圧における電圧緩衝を所望に応じて導入する。

【0026】

ここで図3に戻って、コントローラ307はメモリ310へのアクセスを制御する。さらに具体的には、適正な状態では、コントローラ307は、ライト・コマンドに応答して、ライト・モード・データ・シーケンス信号からのデータ情報をメモリ310に書き込み、またリード・コマンドに応答して、メモリ310からデータ情報を取り出し（読み出し）て、これを変調のために変調器309に送出する。変調器309は、所定の変調方式に従って、コントローラ307によってメモリ310から取り出されたリード・データを変調する。好適な実施例では、変調方式はPSKである。次に、変調器309は、パッド312、313に中継するために、被変調データ信号をアナログ・インタフェース・モジュール301に送り、パッド312、313は被変調データ信号をトランスポンダ電極314、316を介してリーダ／エンコーダ101に最終的に送信する。

【0027】

POR回路302は、整流・調整されたRF励振信号を監視して、静電RFIDトランスポンダ102をパワーオンするのに十分な電圧が生成されたかどうかを判定する。このような電圧が蓄積されると(built up)、POR302はトランスポンダ・アクティビティを開始することを許す。すなわち、RF励振信号の受信の後、POR回路302は、静電RFIDトランスポンダをパワーオンするために、アナログ・インタフェース・モジュール301によって生成されたDC電圧信号が所定の電圧閾値に達したかどうかを判定する。この閾値に達すると、POR回路302はイネーブル信号をアサート(assert)して、その旨通知する。それ以外の場合、イネーブル信号はデアサート(deassert)される。このイネーブル信号は、コントローラ307など、トランスポンダ102の全ての主要な機能回路に供給され、回路のイネーブルあるいはディセーブルを行う。ビットレート発生器303は、クロック抽出回路403から搬送周波数125kHzを有するクロック信号を入力として受信する。ビットレート発生器303は、リードおよびライト・モード中にメモリ310に対してデータを転送する際のデータ転送レ-

トを生成する。好適な実施例では、ビットレート発生器303は、125kHzの搬送周波数を所定の割合で分周することによって、データ転送レートを生成する。あるいは、ビットレート発生器303は、搬送周波数を所定の割合で乗算することによって、データ転送レートを生成する。データ転送レートは、コントローラ307に与えられる。好適な実施例では、ビットレート発生器303は、 $125\text{ kHz}/16$ (7.81kHz) あるいは $125\text{ kHz}/32$ (3.91kHz) のいずれかで動作するように構築できる。

【0028】

前述のように、RF励振信号に続いて、データ・シーケンス信号の開始でブランキング・ギャップをギャップ検出器405が検出すると、ギャップ検出器はデータ・シーケンス信号をライト・デコーダ304に送出する。言い換えると、ライト・デコーダ304は、ライト動作を伴う場合にのみ、データ・シーケンス信号を受信する。次に、ライト・デコーダ304はデータ・シーケンス信号を復号して、ライト動作に関連する命令、データおよびアドレス情報を取り出す。コードをライト・コマンドと認識すると、ライト・デコーダ304はコントローラ307にその旨通知する。また、ライト・デコーダ304はデータ・ストリームの有効性を検証する。復号された命令と、データ・ストリームの有効性に関する情報はコントローラ307に与えられる。

【0029】

好適な実施例では、メモリ310はEEPROM(Erasable Programmable Read Only Memory)であり、1,056ビットの容量を有する。メモリ310は、ライト・モード中にリーダ/エンコーダ101から受信したライト・データを格納するために用いられる。データは、リード・モード中にメモリ310から取り出され、リーダ/エンコーダ101に送られる。一般に、EEPROMにデータを書き込むためには、比較的高い電圧が必要とされる。一般に、このような電圧は蓄積するのに時間がかかるため、ライト・データは最初に入力レジスタ306にバッファされる。そうすることで、コントローラ307はその合間に他のタスクを実行するためにフリーになる。必要なライト電圧に達すると、入力レジスタ306にバッファされたライト・データはメモリ310に書き込まれる。一般に、

コントローラ307は全てのリードおよびライト・メモリ・アクセス処理を制御する。さらに、コントローラ307は、指定されたコンフィギュレーション（モード）メモリ・ブロック（メモリ310のブロック0）からモード・レジスタ308にコンフィギュレーション情報をロードする。このようなコンフィギュレーション・ブロック・データは、ライト・モード中にメモリ310のブロック0にプログラミングされ、オペレーション（オブ）コードと、コントローラ307および変調器309がリード動作中に従う必要がある他のコンフィギュレーション情報とを含む。従って、コントローラ307および変調器309は、必要に応じて、モード・レジスタ308に格納されたオブコードおよびコンフィギュレーション情報にアクセスする。

【0030】

リード・モード中に、変調器309は、メモリ310から取り出されたリード・データに対して選択された変調方式を実行する。次に、変調されたリード・データ信号は、アナログ・インタフェース・モジュール301に送られる。好適な実施例では、ロード変調はPSK変調である。また、変調方式はディセーブルしてもよい。

【0031】

ここで、前述のように1,056ビットの容量を有するメモリ310の一例としてのマッピングを示す図6を参照する。図6に示すように、メモリ310は、それぞれがロック・ビットと32データ・ビットとを有する、N個の個別にアドレス指定可能なメモリ・ブロックに整理される。第1メモリ・ブロック（ブロック0）は、ロック・ビットおよびコンフィギュレーション・ビットを含むコンフィギュレーション（モード）情報を格納するためのコンフィギュレーション／モード・ブロックとして指定される。残りのメモリ・ブロックは、ロック・ビット、同期ビットおよびユーザ・データ・ビットを含むユーザ・データを格納するために指定される。図7は、コンフィギュレーション・ブロック（ブロック0）におけるロック・ビットおよびいくつかの一例として個別コンフィギュレーション・ビットを示す。図7に示すように、コンフィギュレーション（モード）情報は、ロッキング情報ビット、POR遅延情報、データ・レート情報、変調タイプ情

報、変調イネーブル情報、最大ブロック情報および変調閾値情報などを含む。コンフィギュレーション・ブロックおよびユーザ・ブロックのロック・ビットは、関連ブロックの内容を変更できるかどうかを示す。ロック・ビットがアサートされると、ロック・ビットおよび関連ブロックの残りの内容は変更不可能になる。それ以外の場合、ロック・ビットおよび関連ブロックの残りの内容は書き換え可能（プログラミング可能）となる。データ・レート情報は、ビットレート発生器303が7.81kHzまたは3.91kHzのいずれかのデータ・レートにて動作するのかわかる。変調情報は、変調のタイプを示す。変調イネーブル情報は、変調をイネーブル／ディセーブルする。変調閾値情報は、実行すべき変調の程度を示す。データ・レート情報は、所望のデータ・レートを示す。

【0032】

最大ブロック情報（「MAXBLK」）は、リード動作においてリーダー／エンコーダ101に循環的に送信すべき（ブロック1からブロックMAXBLKまでの）ユーザ・データ・ブロックの数を示す。MAXBLKは、0からNまでの任意の値でもよい。リード・モードでは、メモリ310からのデータは、ブロック1のビット1から開始して、ブロックMAXBLKのビット32まで、順次送信される。ブロック1からブロックMAXBLKまでのデータ送信は、循環的に連続して反復する。例えば、MAXBLKが6に設定されると、ブロック1～6が循環的かつ連続的に送信される。コンフィギュレーション・ブロック0の内容は、通常送信されない。しかし、MAXBLKが0に設定されると、コンフィギュレーション・ブロック0の内容を読むことができる。本発明では、コンフィギュレーション・ブロック0ならびに全てのユーザ・データ・ブロック1～Nにおける情報は、リーダー／エンコーダ101または実質的に同様なプログラミング・ユニットによってプログラミング可能である。

【0033】

動作的には、リーダー／エンコーダ101は、トランスポンダ102がライト・モードであるかリード・モードであるかどうかを判断する。リーダー／エンコーダ101は、その旨を示すライト・モード・データまたはリード・モード・データ・シーケンスをトランスポンダ102に送信する。ここで、本発明によるリーダー

／エンコーダ101とトランスポンダ102との間の双方向データ転送に関与する主要ステップを要約するフローチャートを示す図8を参照する。リード動作またはライト動作にかかわらず、第1ステップは、トランスポンダ102に給電するために、リーダー／エンコーダ101が励振信号を生成・送信することを必要とする。従って、トランスポンダ102はパッド312、313を監視して、励振信号が受信されたかどうかを判定する（ステップ801）。励振信号が受信されない場合、トランスポンダ102は監視を続ける。それ以外の場合、パワーオン時に、トランスポンダ102はメモリ310のブロック0からモード・レジスタ308内にコンフィギュレーション（モード）情報をロードする（ステップ802）。ギャップ検出器405は、着信データ・シーケンスにおいて開始ギャップが検出されたかどうかを判定する（ステップ803）。開始ギャップが検出され、ライト・モードを伴う可能性があることを示すと、ライト・デコーダ304によってライト・モード・データ・シーケンスからの情報がさらに調べられ（ステップ804）、ライト・コマンドを実際に伴うことを確認する（ステップ805）。

【0034】

好適な実施例では、ライト・コマンドを実際に伴うかどうかを通信するために、通信プロトコルがリーダー／エンコーダ101およびトランスポンダ102によって採用される。このような通信プロトコルは、いわゆるライト・モード・データ・シーケンスにおいて具現される。ライト・コマンドを実際に伴うことを示すだけでなく、ライト・モード・シーケンスはプログラミング命令、プログラミング・データおよびブロック・アドレスも与える。このプロトコルでは、ギャップ（すなわち、開始ギャップおよびフィールド・ギャップ）の期間は、50～400msである。開始ギャップは、より確実な検出を確保するために、以降のフィールド・ギャップよりも長くてもよい。データ・ビットは、開始ギャップの直後に続く必要がある。好適な実施例では、以降のデータ・ビットの期間が約24フィールド・クロックである場合、データ・ビットはゼロ（0）である。データ・ビットの期間が約56フィールド・クロックである場合、データ・ビットはワン（1）である。データ・ビットのうち1つまたはそれ以上が有効な「0」または

「1」でない（例えば、期間がゼロまたは1の許容範囲内でない）場合、ライト・コマンドを実際に伴っておらず、トランスポンダ102はすぐにライト・モードに入る。フィールド・ギャップは、第1データ・ビットと、それに続く第2データ・ビットの後に続く想定される。前回のギャップ以降に64フィールド・クロック以上でギャップが検出されない場合、これはエラーと解釈され、トランスポンダ102はすぐにリード・モードに入る。

【0035】

ライト・モード・データ・シーケンスの第1および第2データ・ビット（データ・パケット）は、ライト・モード・オペレーション・コード（オペコード）を構成する。言い換えると、2つのデータ・パケットが組み合わさって、ライト・モード・オペレーション・コードを表す。4つの識別されるライト・モード・オペレーション・コード、すなわち、「00」、「01」、「10」、「11」があり、それぞれは特定のライト動作を表す。好適な実施例では、ライト・モード・データ・シーケンスの第1Xデータ・パケット（データ・ビット）は組み合わさって、ライト・モード・オペレーション・コードを表し、ここでXは値2を有する。ただし、Xは任意の値を有してもよい。オペコード「00」は、リセット・コマンドを表す。MAXBLKも「00」でなければならないところの、オペコード「01」は、メモリ・セルをテストするために用いられるページ・ライト・コマンドを示し、これにより、ブロック0と、アサートされたロック・ビットを有するメモリ・ブロックとを除いて、値1が全てのメモリ番地に書き込まれる。オペコード「10」は3ビット・アドレス指定ライト動作を表す。一般に、オペコード「10」の次には、メモリ・ブロックをいったんプログラミングした後で上書きすべきかどうかを示すロック・ビットと、32データ・ビットと、書き込むべき0～7の間のメモリ・ブロックを選択する3アドレス・ビットとが続く。従って、オペコード「10」を伴うライト動作のためのライト・モード・シーケンスには、全部で38ビットある。オペコード「11」は、5ビット・アドレス指定ライト動作を表す。一般に、オペコード「11」の次には、メモリ・ブロックをいったんプログラミングした後で上書きすべきかどうかを示すロック・ビットと、32データ・ビットと、書き込むべき0～31の間のメモリ・ブロック

を選択する5アドレス・ビットとが続く。従って、オブコード「11」を伴うライト動作のためのライト・モード・シーケンスには、全部で40ビットある。特定のオブコードに関連して受信したビット数が適正でない（例えば、オブコード「10」を伴うライト・モード・シーケンスについて全部で37ビットを受信した場合、これはエラーと解釈され、トランスポンダ102をリード・モードに切り換えさせる。

【0036】

図9は、本発明によるライト・モードにおけるパッド312と313との間の差電圧を一例として示す。図9に示すように、ブロック0をローディングする段階を表す定常電圧パターンの直後には、ライト・モード・データ・シーケンスを表す間欠的な電圧パターンが続く。逆に、比較のための図10は、本発明による、リード・モードにおけるパッド312と313との間の差電圧を一例として示す。リーダ/エンコーダ101からのRFフィールドに割り込むことにより、緩衝電圧(dampened voltage)が生成される。好適な実施例では、このような変調は、RFリード・データ信号が送信されるときに、パッド312、313間の差電圧を緩衝する変調器309を利用して生成される。

【0037】

ここで図8に戻って、ライト・コマンドを伴うことが、ライト・モード・データ・シーケンスに基づいて判断されると、リーダ/エンコーダ101から受信したプログラミング・データは入力レジスタ306に格納される(ステップ806)。ライト・モード・シーケンスからのプログラミング命令および情報は、データを所望のメモリ・ブロックにプログラミングし、またロック・ビットを設定する際に用いられる。プログラミング電圧 V_{pp} が測定され、データをプログラミングすべきメモリ・ブロックからのロック・ビットが調べられ、ライト動作に伴うビット数が計数される(それぞれ、ステップ807~809)。 V_{pp} は連続的に監視され、プログラミング・サイクルを通じて調整される。データをメモリ310にプログラミングするために必要な閾値電圧を V_{pp} が満たさない場合、トランスポンダ102はすぐにリード・モードに入る(ステップ810)。データをプログラミングすべきメモリ・ブロックからのロック・ビットがアサートさ

れ、このメモリ・ブロックにデータを書き込むことを禁止すると、トランスポンダ102はプログラミングを中断し、すぐにリード・モードに入る。特定のオPCODEに関連するビット数が適正でない場合、トランスポンダ102はすぐにリード・モードに入る。言い換えると、1) ライト・コマンドの検出、2) 十分なVpp電圧、3) オPCODE「10」および「11」について適正なビット数の検出、および4) データを書き込むメモリ・ブロックにおけるロック・ビットのアサートの欠如、これら4つ全てが生じると、データはメモリ310の選択されたブロックに書き込まれる(ステップ811)。プログラミングの完了時に、トランスポンダ102はリード・モードに入る(ステップ810)。

【0038】

本発明では、ロック・ビットがアサートされていなければ、コンフィギュレーション(モード)ブロック0も新たなコンフィギュレーション設定でプログラミングできる。コンフィギュレーション・ブロック0が再プログラミングされると、新規コンフィギュレーション設定は以降のリード処理に適用される。

【0039】

好適な実施例では、リード・モードがデフォルト・モードである。前述のように、ライト・モード中に検出されたエラーは、トランスポンダ102をリード・モードに入らせる。しかし、静電リーダ/エンコーダ101からの連続的な波形の場合や、データ・ライト/プログラミングの完了時の場合など、リード・モード(ステップ810)がリーダ/エンコーダ101によって意図する動作となることもある。トランスポンダ102がリード・モードに入ると、リード・モードを(例えば、リーダ/エンコーダ101により、あるいは以降のステップ811により)意図するか、あるいはプログラミング中のエラー(例えば、アドレス指定されたブロックのロック・ビットがアサートされる、Vppが閾値以下である、無効なOPCODE、無効な「0」または「1」データ・ビット、特定のOPCODEについて受信された無効なビット数など)によってデフォルト設定されるかどうかについて判定が行われる(ステップ812)。実際にリード・モードを意図する場合、データは、ブロック1からMAXBLKまで、メモリ310から取り出される(ステップ813)。リード・モードがエラーによってデフォルト

ト設定されると、データは、現ブロックからMAXBLKまで、メモリ310から取り出される（ステップ817）。それから、このデータ取り出しサイクルは連続的に反復する。次に、変調情報ビットがイネーブルされているかどうか、モード・レジスタから判定される（ステップ814）。変調ビットがディセーブルされ、変調が必要ないことを示すと、リーダ／エンコーダ101に送出するために、データはトランスポンダ電極314、316に送られない（ステップ815）。変調ビットがイネーブルされ、変調が必要なことを示すと、データは、所望の変調方式（マンチェスタまたはPSK）が通知されている変調器309に送られる（ステップ816）。変調器309はデータを変調して、変調データをアナログ・インタフェース・モジュール301に送り（ステップ816）、アナログ・インタフェース・モジュール301はこれをパッド312、313に中継し、トランスポンダ電極上でリーダ／エンコーダ101に送出する。リード動作が実行されている間、ギャップ検出器405は、着信データ・シーケンスにおいて開始ギャップが検出されたかどうかを監視し続ける（ステップ803）。

【0040】

一方、プログラミング中にエラーによってリード・モードがデフォルト設定になると、データは、現在アドレス指定されているメモリ・ブロックからMAXBLKまで、メモリ310から取り出される。その後、データは、ブロック1からMAXBLKまで、メモリ310から取り出される。それから、このデータ取り出しサイクルは連続的に反復する。次に、変調がイネーブルされているかどうか、モード・レジスタ308内の変調ビットから判定される（ステップ814）。変調ビットがディセーブルされ、変調が必要ないことを示すと、リーダ／エンコーダ101に送出するために、データはトランスポンダ電極314、316に送られない（ステップ815）。変調ビットがイネーブルされ、変調が必要なことを示すと、データは、所望の変調方式（マンチェスタまたはPSK）が通知されている変調器309に送られる（ステップ816）。変調器309はデータを変調して、変調データをアナログ・インタフェース・モジュール301に送り（ステップ816）、アナログ・インタフェース・モジュール301はこれをパッド312、313に中継し、トランスポンダ電極上でリーダ／エンコーダ101

に送出する。リード動作が実行されている間、ギャップ検出器405は、着信データ・シーケンスにおいて開始ギャップが検出されたかどうかを監視し続ける（ステップ803）。

【0041】

以上、本発明の実施例であるコンタクトレス静電プログラマブルRFIDシステム、装置および方法について説明した。静電信号を送受信するために、（コイルではなく）電極（すなわち、プレート）を利用するので、キャパシタンス方式のRFID技術を集積回路に実装することができる。静電RFIDシステムの電極および関連電気回路は、紙、プラスチックまたは合成基板を含む、平坦で印刷可能な表面上で容易に実装できる。さらに、関与する製造プロセスは安価で、最小限の構成要素および設定しか必要としない。そのため、本発明において説明したコンタクトレス静電プログラマブルRFIDシステムの利点は、低コスト、製造性およびパッケージング柔軟性である。これらの利点により、このようなコンタクトレス静電プログラマブルRFIDシステムを使い捨て用途など、大量・低コスト用途で利用することが実用的となる。

【0042】

本発明について、特定の実施例にて説明してきたが、本発明はこのような実施例に制限されるものではなく、むしろ特許請求の範囲に従って解釈すべきである。

【図面の簡単な説明】

【図1】 本発明を実施する一例としての静電無線周波識別（RFID）システムを示す高度なブロック図である。

【図2】 図1に示す静電RFIDリーダ／エンコーダ101をさらに詳しく示すブロック図である。

【図3】 図1に示す静電RFIDトランスポンダ（タグ）102をさらに詳しく示すブロック図である。

【図4】 図3に示すアナログ・インタフェース・モジュール301をさらに詳しく示すブロック図である。

【図5】 本発明により反射型ロード変調方式において用いられるロード変

調回路309の概略図である。

【図6】 メモリ310の内容の一例としてのマッピングを示す。

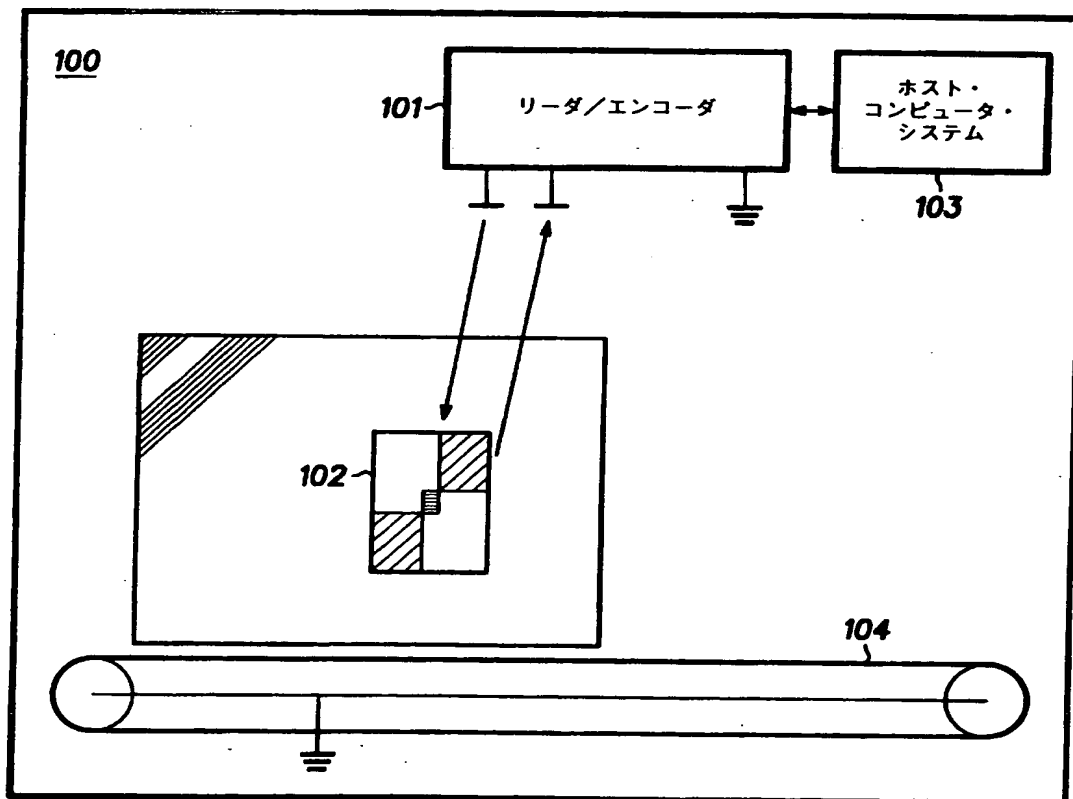
【図7】 メモリ310のコンフィギュレーション・ブロック（ブロック0）からのロック・ビットおよび個別コンフィギュレーション・ビットを示す。

【図8】 本発明による、リーダ／エンコーダ101とトランスポンダ102との間の双方向データ転送に関与する主要ステップを示すフローチャートである。

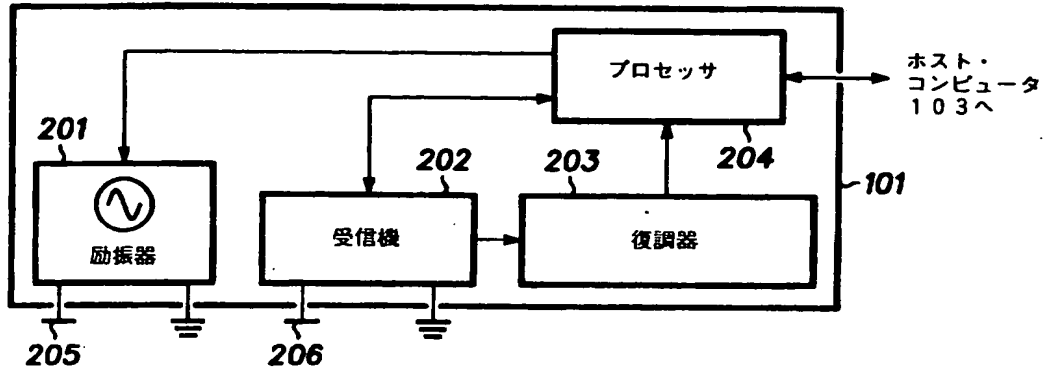
【図9】 本発明による、ライト・モードにおけるパッド312と313との間の差電圧を一例として示す。

【図10】 本発明による、リード・モードにおけるパッド312と313との間の差電圧を一例として示す。

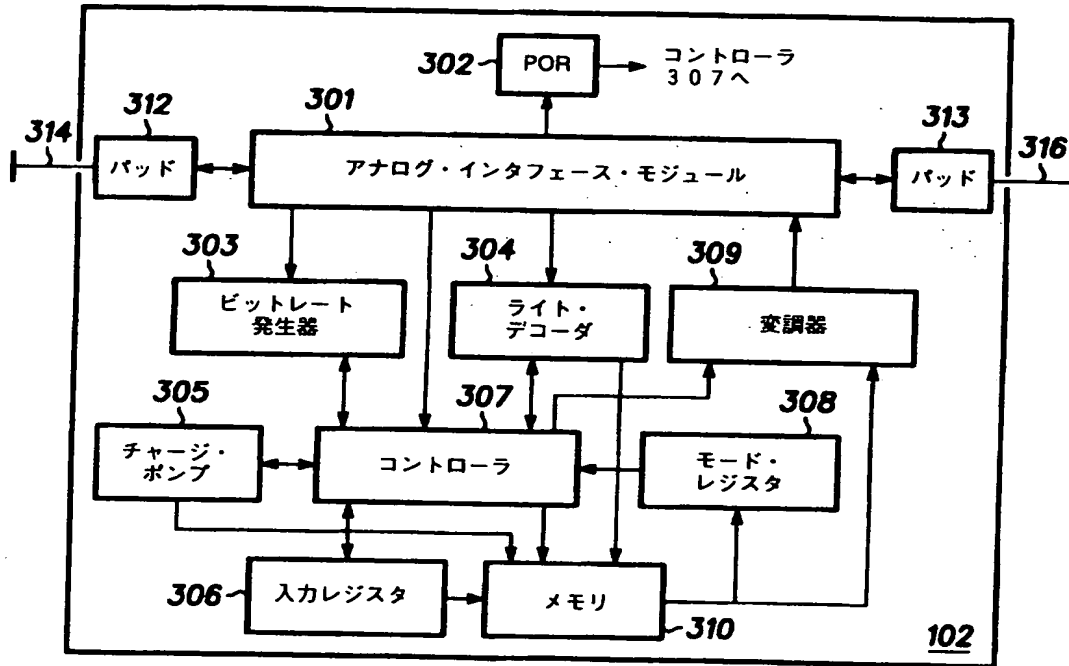
【図1】



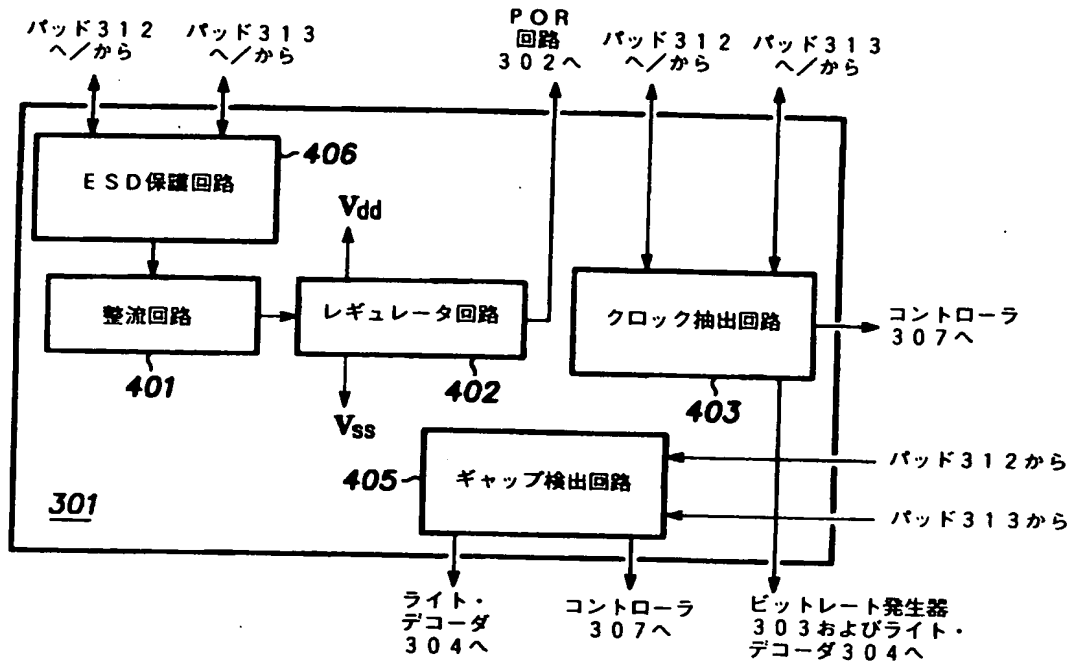
【図2】



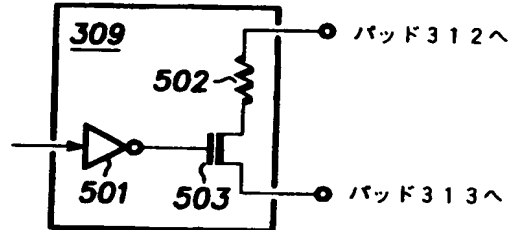
【図3】



【図4】



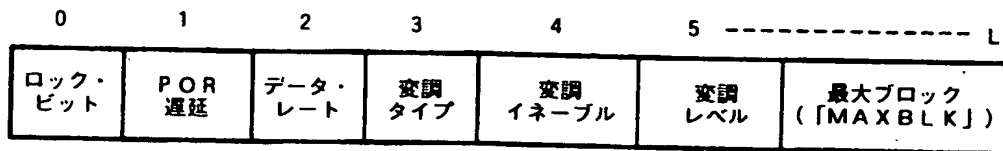
【図5】



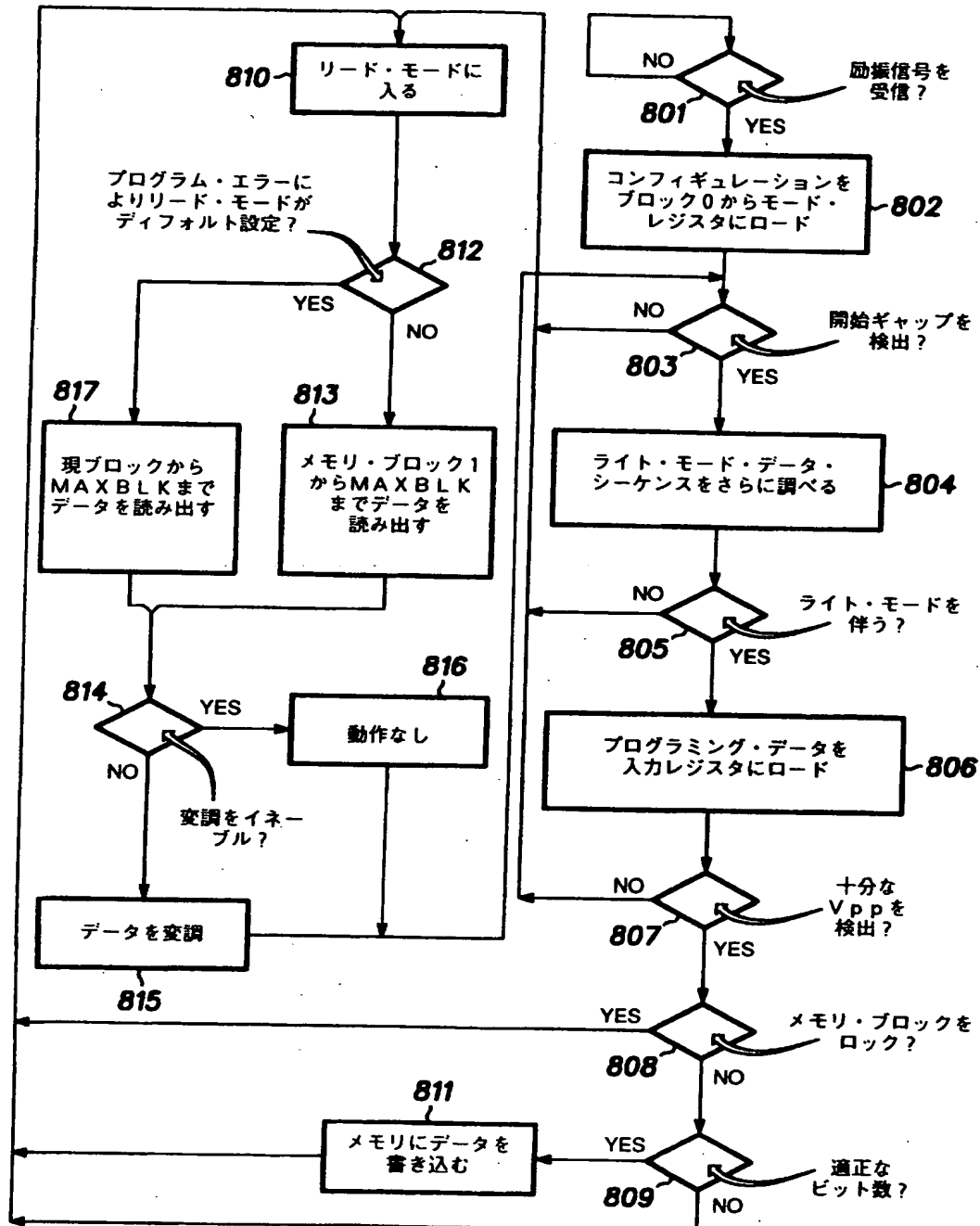
【図6】

0	1	-----	L	
L	コンフィギュレーション・ビット			ブロック0
L	同期ビット	ユーザ・データ・ビット		ブロック1
L	同期ビット	ユーザ・データ・ビット		ブロック2
⋮		⋮		⋮
L	同期ビット	ユーザ・データ・ビット		ブロック29
L	同期ビット	ユーザ・データ・ビット		ブロック30
L	同期ビット	ユーザ・データ・ビット		ブロックN

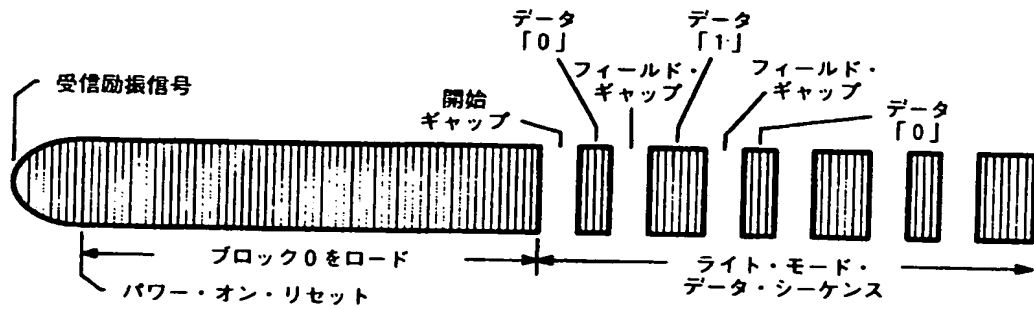
【図7】



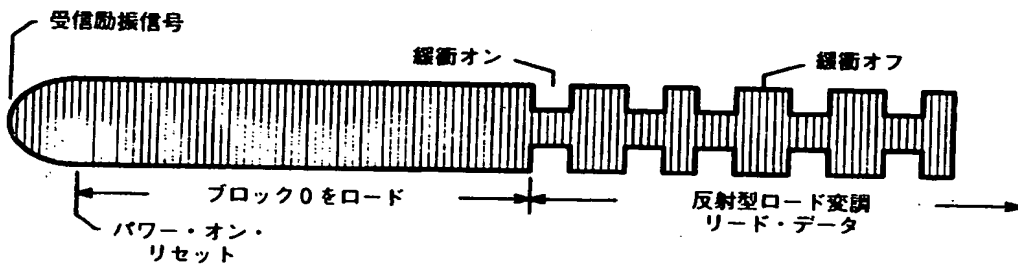
【図8】



【図9】



【図10】



【國際調查報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US99/20799

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : Please See Extra Sheet.

US CL : 340/825.54, 825.34, 572.1, 825.69, 825.72; 235/380; 342/44, 42

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 340/825.54, 825.34, 572.1, 825.69, 825.72; 235/380; 342/44, 42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,055,659 A (HENDRICK et al) 08 October 1991, abstract and figure 1	1-16
A	US 5,521,590 A (HANAOKA et al) 28 May 1996 abstract	1-16
A,P	US 5,847,662 A (YOKOTA et al) 08 December 1998, see abstract	1-16
A,E	US 5,966,082 A (COFINO et al) 12 October 1999, abstract	1-16

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	* T	later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
* A documents defining the general state of the art which is not considered to be of particular relevance	* X	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
* B earlier document published on or after the international filing date	* Y	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
* L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	* A	document member of the same patent family
* O document referring to an oral disclosure, use, exhibition or other means		
* P document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search

08 NOVEMBER 1999

Date of mailing of the international search report

07 DEC 1999

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

BRIAN ZIMMERMAN

Telephone No. (703) 305-3900

INTERNATIONAL SEARCH REPORT

International application No.
PCT/LJ99/20799

A. CLASSIFICATION OF SUBJECT MATTER:
IPC (6):

H04Q 7/00

フロントページの続き

(51)Int.Cl.⁷

識別記号

H04B 5/02

F I

G06K 19/00

テマコード (参考)

H
J

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, I
T, LU, MC, NL, PT, SE), OA(BF, BJ
, CF, CG, CI, CM, GA, GN, GW, ML,
MR, NE, SN, TD, TG), AP(GH, GM, K
E, LS, MW, SD, SL, SZ, UG, ZW), E
A(AM, AZ, BY, KG, KZ, MD, RU, TJ
, TM), AL, AM, AT, AU, AZ, BA, BB
, BG, BR, BY, CA, CH, CN, CR, CU,
CZ, DE, DK, EE, ES, FI, GB, GD, G
E, GH, GM, HR, HU, ID, IL, IN, IS
, JP, KE, KG, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MD, MG, MK, M
N, MW, MX, NO, NZ, PL, PT, RO, RU
, SD, SE, SG, SI, SK, SL, TJ, TM,
TR, TT, UA, UG, UZ, VN, YU, ZA, Z
W

[DRAWING]

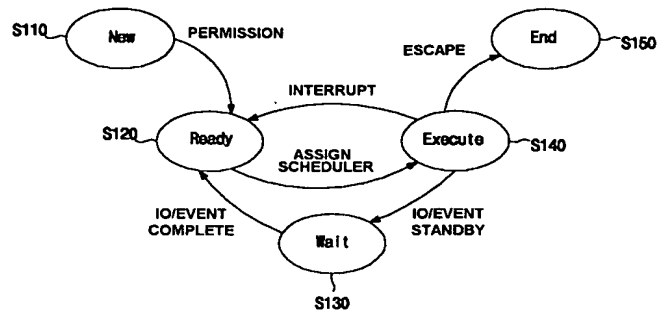


Fig. 1
<Prior Art>

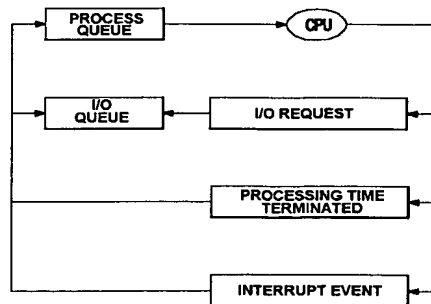


Fig. 2
<Prior Art>